

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097450  
 (43)Date of publication of application : 08.04.1994

(51)Int.Cl. H01L 29/784

(21)Application number : 05-115047 (71)Applicant : TEXAS INSTR INC <TI>  
 (22)Date of filing : 17.05.1993 (72)Inventor : MALHI SATWINDER

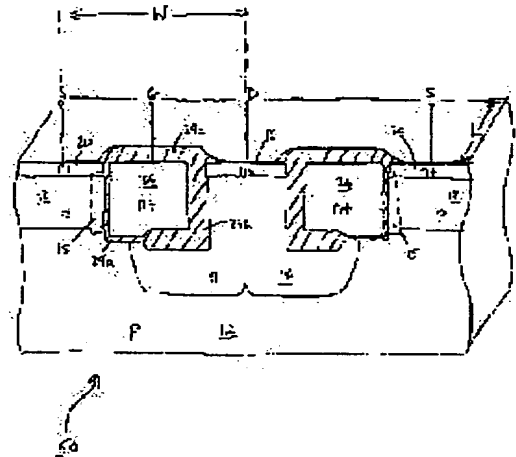
(30)Priority  
 Priority number : 92 883985 Priority date : 18.05.1992 Priority country : US

## (54) TOP/DRAIN/TRENCH TYPE RESURFDMOS TRANSISTOR STRUCTURE

## (57)Abstract:

PURPOSE: To have superior RDS ON-resistance characteristic and have a small transistor area region by a method wherein there are provided a source, a drain and a gate in a trench of a lateral power transistor structure.

CONSTITUTION: In a multiple-cell/top/drain/trench type RESRE DMOS transistor 50, a gate 26 is in a trench between a source 20 and a drain 16, and a trench is backed by unequal oxides 24a, 24b, to form the gate 26. Accordingly, in a trench-type DMOS transistor 50, a cell pitch W is significantly small and the degree of integration of individual transistor cell is increased, and a number of channel regions are obtained per unit transistor area region. An RDS on is inversely proportional to a transistor area region, and an increase in a channel for a given silicon area region reduces a transistor RDS.



## LEGAL STATUS

[Date of request for examination] 17.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3348911

[Date of registration] 13.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-97450

(43) 公開日 平成6年(1994)4月8日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

9168-4M

H 0 1 L 29/78

3 2 1 V

9168-4M

3 2 1 X

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平5-115047

(22) 出願日 平成5年(1993)5月17日

(31) 優先権主張番号 883985

(32) 優先日 1992年5月18日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インストルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 サットウィンダー マルヒ

アメリカ合衆国テキサス州ガーランド, メ  
ドウリッジ ドライブ 2626

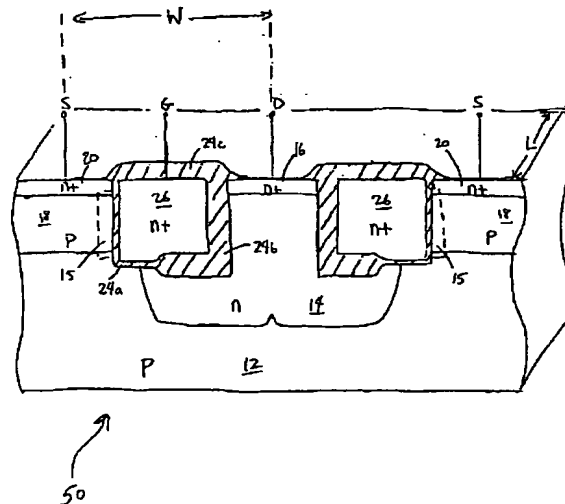
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 トップ・ドレイン・トレンチ形RESURF DMOSトランジスタ構造体

(57) 【要約】

【目的】 優れたRDSオン特性を有し、一方、小さなトランジスタ面積領域を有する、高電圧電力用トランジスタを提供する。

【構成】 トップ・ドレイン・トレンチ形RESURF DMOSトランジスタ構造体により、トランジスタ・セル・ピッチをできるだけ小さくすることによって、優れたRDSオン特性が得られる。前記トランジスタは、ゲートと、ソースと、ドレインを有する。トレンチは不均一な誘電体裏打ち体を有することができる。ドレイン・ドリフト領域が前記トレンチを部分的に取り囲む。多重トレンチ形RESURF DMOSトランジスタを1個の半導体ダイの上に作成することを可能にし、電流は横方向に流れる。ソースを基板から電氣的に分離するための分離領域を付加することにより、高レベル側駆動器への応用に、およびソースとアースとの間に電氣的な分離を必要とする他の応用に、この電力用トランジスタを組み込むことができる。



## 【特許請求の範囲】

【請求項1】 ソースと、

ドレインと、

前記ソースと前記ドレインとの間のトレンチの中に作成されたゲートと、

を有する、高電圧電力用トランジスタ。

【請求項2】 基板を作成する段階と、

前記基板の中にドリフト領域を作成する段階と、

前記ドリフト領域の中にドレイン領域を作成する段階と、

前記基板の中に、かつ、1つの界面で前記ドリフト領域に隣接して、P形ウエル領域を作成する段階と、

前記P形ウエル領域の中にソース領域を作成する段階と、

前記界面にトレンチ形ゲートを作成する段階と、

を有する、セル・ピッチを小さくすることにより高電圧電力用MOSトランジスタのRDSオン特性を小さくする方法、および1個の半導体チップの上に多数個の高電圧電力用MOSトランジスタを作成する方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路の分野に関する。さらに詳細に言えば、本発明は特に大電力用装置に関する。

【0002】

【従来の技術およびその問題点】電力用集積回路の分野において、電力用集積回路の開発に多くの努力がなされてきた。技術の進歩により、縮小された表面電界（RESURF）技術によって、低「オン抵抗」（RDSオン）と、それと同時に、高ブレークダウン性能を有する、LDMOS（横向き2重拡散MOSトランジスタ）が可能になった。（J. A. アッペルおよびH. M. J. ベース名の論文、「高電圧薄層装置（RESURF装置）」、IEDMテクニカル・ダイジェスト、238頁-241頁、1979年を見よ。）

【0003】集積回路の設計において、半導体ダイの面積領域は非常に重要である。通常、トランジスタの面積領域が増加すると、トランジスタのRDSオンが減少する。トランジスタの特性と装置のコストとの兼ね合いは、設計の非常に重要な制約になる。本発明は、低RDSオンを有し、一方同時に、トランジスタの面積領域をできるだけ小さくする、新規なトランジスタ構成体を得ることを目標とした研究の成果である。提案された1つの改良された構成体は、トレンチ形DMOSトランジスタの開発により得られた構成体である。（ウエダ・ダイスケ、タカギ・ヒロミツ、カノ・ゴータ名の論文、「完全自己整合工程を用いて製造された超低オン抵抗電力用MOSFET」、IEEEトランザクションズ・オン・エレクトロニクス・デバイス、第RD-34巻、第4号、1987年4月を見よ。）その他の改良も請求されてい

る。

【0004】

【問題点を解決するための手段】本発明の1つの目的は、優れたRDSオン特性を有し、一方、小さなトランジスタ面積領域を有する、高電圧電力用トランジスタを得ることである。本発明のまた別の目的は、その基板から分離されたソースを備えた、トレンチ形DMOS技術形の電力用トランジスタを得ることである。本発明のその他の目的および本発明の利点は、下記説明および添付図面により、容易に理解されるであろう。

【0005】横向き電力用トランジスタ構造体は、ソースとドレインとの間にあるトレンチの中に作成された、ソースと、ドレインと、ゲートとを有する。トレンチは、不均一な分離用裏打ち剤を有することができる。この構造体は、小さなトランジスタ・セル・ピッチを有し、優れたRDSオン特性を備えた、トップ・ドレイン・トレンチ形RESURF DMOS（縮小された表面電界2重拡散MOS）トランジスタを形成する。トップ・ドレイン構造体により、1個の半導体ダイの上に、多数個のトレンチ形RESURF LDMOSトランジスタを作成することを可能にする。ソースを基板から分離するために、ソースの下に分離領域を備えることができる。このことにより、高レベル側駆動器の応用において、この装置を利点をもって組み込むことができる。

【0006】

【実施例】図1は、先行技術による垂直形トレンチを利用するDMOSトランジスタ30の横断面図である。この装置は、前記の従来の技術のところで説明したウエダらの論文に開示されている装置である。トランジスタ30は基板を有する。この基板の中に、ドレイン32と、ドリフト領域34と、P形ウエル領域36と、バックゲート38と、ソース40とが形成される。P形ウエル領域36を通して、トレンチがドリフト領域34の中に作成される。このトレンチは酸化物で均一に裏打ちされ、そしてポリシリコンで満たされて、ゲート42が作成される。ゲート・トレンチ42を備えることにより、（P形ウエル領域36の中の）チャンネル35がトレンチに隣接して存在する。このことにより、トレンチを利用しない従来の垂直形DMOS（2重拡散MOS）の横向きチャンネルの占める空間距離を小さくすることができる。不幸なことに、トレンチを利用するDMOSトランジスタ30は垂直形装置（ドレイン領域32は基板である）であり、このことは、個別に分離されて隔離されたトレンチ利用DMOSトランジスタ30を、同じダイの上に作成することを困難にする。1つの基板の上に作成された複数個の垂直トレンチ形電力用トランジスタは、共通のドレイン端子を共有し、したがって、個々の装置を相互に分離し隔離することはできない。

【0007】図2は、本発明の好ましい実施例の、多重セル・トップ・ドレイン・トレンチ形RESURF D

3

MOSトランジスタ50の横断面図である。トランジスタ50は、トランジスタ・セル51とトランジスタ・セル52とを有する。トランジスタ・セル51とトランジスタ・セル52は、同じ構造を有する。トランジスタ・セル51とトランジスタ・セル52は、ドレイン16を共有する。トランジスタ・セル51は、基板12の表面の中に作成された、ソース20と、ドレイン16と、ゲート26とを有する。ゲート26は、ソース20とドレイン16との間のトレンチ27の中にある。ドリフト領域14は、トレンチ27を部分的に取り囲む。トレンチ27は、不均一な酸化物24aおよび24bで裏打ちされる。ポリシリコンのような導電体材料がトレンチを満たし、そしてそれらがゲート26を形成する。酸化物24aは薄い誘電体であり、そしてトランジスタ・セル51のゲート酸化物24aを形成する。酸化物24bは厚い酸化物であり、そしてドリフト領域14の近くのトレンチを裏打ちし、トランジスタのブレイクダウンを保護する役割を果たす。P形ウエル領域18は、P形ウエル領域18の中のソース20とバックゲート22を備えたトレンチの1つの側面上にある。ゲート酸化物24aの近傍のP形ウエル領域18と基板12の部分は、印加されたゲート電圧の影響を受けて反転し、チャンネル15を形成する。チャンネル15は、ゲート26の電圧がトランジスタ50の閾値電圧 $V_t$ を越えて増大する時、ドリフト領域14からソース20へ電流を運ぶ。ドレイン領域16はドリフト領域14の中にある。酸化物24cはゲート26を被覆する。酸化物24cは、その中に、ゲート26との接触のための接触体開口部を有する。

【0008】基板の中にドレイン領域32を有する垂直形装置である図1のトレンチDMOSトランジスタ30とは異なって、図2のトランジスタ50はトップ・ドレイン装置（ドレイン16はウエハのトップから接触している）である。電流は、垂直方向と横方向との両方に流れる。電流はドレイン16からドリフト領域14へ垂直方向に流れ、そしてドリフト領域14からチャンネル15へ横方向に流れ、そして再びチャンネル15からソース20へ垂直方向に流れる。このトップ・ドレイン方式の特徴は、多数個の分離されたトレンチ形横向きDMOSトランジスタを1個の基板の中に作成することを可能にする。

【0009】トップ・ドレイン方式のトレンチ形RESURF DMOSトランジスタ50は、先行技術による横形装置に比べ、セル・ピッチ(W)が大幅に小さい。先行技術による横形装置のセル・ピッチ(W)は約8マイクロメートルであり、一方、トップ・ドレイン方式のトレンチ形RESURF DMOSトランジスタ50のセル・ピッチは約3マイクロメートルである。このことにより、2倍以上のトランジスタ集積度を得ることができる。個々のトランジスタ・セルの集積度が大きくなることにより、単位のトランジスタ面積領域当たりに、より

4

多くのチャンネル領域が得られる。RDSオンはトランジスタ面積領域に逆比例する。したがって、与えられたシリコンの面積領域に対するチャンネル領域の増大は、トランジスタRDSオンを減少させる。

【0010】図2において、トランジスタ50は下記の方式により利点を有して製造することができる。複数個のP形ウエル領域18およびドリフト領域14は、P形基板12の中に作成される。その際、P形ウエル領域18およびドリフト領域14は相互に隣接し、かつ、接触するように作成される。ドリフト領域14は、下記で説明されるように、2個の領域14aおよび14bで構成される。ウエハの中で、P形ウエル領域18とドリフト領域14との界面のに、トレンチがエッチングにより作成される。トレンチはP形ウエル領域18を通してウエハの中に広がっており、およびドリフト領域14の中にも広がっている。ウエハの表面の上に、厚さが約500オングストロームの $SiO_2$ 層が作成され、そしてまた、トレンチの内側が裏打ちされる。この $SiO_2$ 層の上に、厚さが約1500オングストロームの $Si_3N_4$ 層が作成される。ウエハの表面上に、パターンに作成されたレジストが沈着され、そしてドリフト領域14の上の $Si_3N_4$ 層の部分が等方的エッチングで除去され、および、トレンチの中でレジストにより保護されていない $Si_3N_4$ 層の部分が除去される。したがって、おのおののトレンチは $Si_3N_4$ 層で部分的にだけ裏打ちされる。N形注入体は、レジストにより被覆されていない基板12の中に、小さなタンク14bを形成する。これらのN形タンク14bは、熱処理サイクルと焼鈍しとにより、外側に拡散し、そして、ドリフト領域14aと連結する。ウエハの表面上に、厚さが約2500オングストロームの $SiO_2$ 層24bが作成され、それにより、 $Si_3N_4$ 層でマスクされていない領域の厚さが増加する。パターンに作成された $Si_3N_4$ 層が除去され、そして厚さが不均一のトレンチの $SiO_2$ 層が残る。トレンチの約半分が約2500オングストロームの厚さの酸化物裏打ち剤(24b)を有し、そしてトレンチの約半分が約500オングストロームの厚さの酸化物裏打ち剤を有する。500オングストロームの酸化物の領域に湿式エッチングが行われ、そして、 $SiO_2$ 層の別の層24a(500オングストローム)がその場所で成長される。このことが実行されることにより、高品質の薄い酸化物24aが得られる。トランジスタ50の上に、N+形に不純物添加されたポリシリコンの厚い層が作成され、それにより、トレンチが満たされ、そして、トランジスタ・ゲート26が作成される。このポリシリコンの層が、P形ウエル18とドリフト領域14の表面にまで、再びエッチングされる。ウエハの表面上に、厚さが約500オングストロームの $SiO_2$ 層24cが作成される。マスクされたN+形注入により、ドリフト領域14の中のドレイン領域16とP形ウエル領域18との中

に、ソース領域20が作成される。P+形注入により、P形ウエル領域18の中に、バックゲート22が作成される。ウエハの表面上に、厚さが約5000オングストロームのSiO<sub>2</sub>層(図2には示されていない)が作成される。厚い酸化物の中に、ドレイン領域16と、ソース領域20と、ゲート領域26とにまでの接触体開口部がエッチングにより作成される。トランジスタ50の上に、パターンに作成された金属層(図2には示されていない)が沈着され、それにより、これらの接触体開口部を通して、ドレイン領域16と、ソース領域20と、ゲート領域26とへの電氣的接触体が作成される。

【0011】図3は、負荷52に接続されたドレイン16と、回路のアースに接続されたソース20と、制御回路56に接続されたゲート26とを有する、低レベル側駆動器として接続された図2のトランジスタ50を示す。大きな電圧(トランジスタの閾値電圧より大きな電圧)がゲート26に現れる時、(P形ウエル領域18と基板12の中に形成される)チャンネル15が反転し、そして電流が、ドレイン16から、ドリフト領域14を通り、そしてチャンネル15を通り、そして最後にソース20を通して流れる。ドリフト領域14の不純物添加量と、幅と、深さは、定格のブレイクダウン電圧においてそれが完全に欠乏状態になるように設計され、それにより、装置の中の電界の均一な広がり得られる。このことにより、与えられたブレイクダウン電圧に対し、そうでない場合よりもドリフト領域14にさらに多量の不純物を添加することが可能であり、さらにRDSオンを減少させることが可能である。

【0012】図2において、ブレイクダウン状態の期間中、ドレイン16が(正規動作に対する最大定格より大きい)高電圧に到達する時、下記の現象が起こる。すなわち、ドレイン16の電圧が増大する時、ドリフト領域14と基板領域12との境界面で、垂直方向に欠乏領域が成長する。同時に、トレンチの側面に欠乏領域が形成され、そして、ドリフト領域14の中央部に向かって成長する。この水平方向の欠乏現象は、ゲート26の電圧が、ドレイン16の電圧よりも大幅に低い電圧で起こる。ゲート26は電極板として作用し、トレンチのゲート酸化物壁24bから離れる方向に電子に力を及ぼし、そして欠乏領域を形成する。したがって、ドリフト領域14は、垂直方向欠乏部分と水平方向欠乏部分との両方により、完全に欠乏状態になるであろう。もしドレイン16に加えられた電圧が増大するならば、最終的には、電界はトランジスタ50をブレイクダウンさせる臨界電界値に到達するであろう。その場合、電流は、ドレイン16から欠乏状態のドリフト領域14を通して、基板12の中に流れる。このことにより、チャンネル15の隣にある薄いゲート酸化物24aの近くで、ブレイクダウンが起こることが防止される。したがって、ブレイクダウンは、薄いゲート酸化物24aよりは丈夫な厚いゲート酸化物24bの近くで起こるという、利点を得られる。

トランジスタ60を用いることを可能にする、という利点を得られる。ブレイクダウン状態の期間中、トランジスタ60はトランジスタ50と同様に動作する。

【0013】図4は、本発明のまた別の実施例の図面である。図4のトランジスタ60は、分離領域17を除いて、図2のトランジスタ50と同じである。分離領域は、P形ウエル領域18の下に基板12の中に作成される。分離領域にはP形ウエル領域18とは反対の形の不純物が添加され、したがって、ソース20は基板12から電氣的に分離される。このことにより、ソース20と基板12との間の電氣的分離を必要とする(ソースはアースに接続されない)高レベル側駆動器のような応用に、トランジスタ60を用いることを可能にする、という利点を得られる。ブレイクダウン状態の期間中、トランジスタ60はトランジスタ50と同様に動作する。

【0014】図4のトップ・ドレイン・トレンチ形RE SURF DMOSTトランジスタ60は、P形ウエル領域18とドリフト領域14の作成の前に分離領域17が作成され、それにより、P形ウエル領域18とドリフト領域14が分離領域17の中に作成されるという点を除いて、図2のトランジスタ50と同様の方式で製造できる、という好ましい利点を有する。

【0015】図5に示された高レベル側駆動器は、電源58に接続されたドレイン16と、負荷52に接続されたソース20と、制御回路56に接続されたゲート26とを備えた、図4のトランジスタ60を有する。制御回路56がトランジスタ60にオンになることを指令する時、電流が、電源58から、トランジスタ60を通り、そして負荷52を通り、回路のアース54へ流れる。ソース20が基板(基板はアースに接続される)から分離されている場合、負荷52が「短絡」することが避けられる、という利点を得られる。このことにより、負荷52を適切に駆動することができる。

【0016】トランジスタ50とトランジスタ60の両方を製造する別の実施例では、トレンチのエッチングの後、ウエハの上にSiO<sub>2</sub>の厚い層が沈着され、そして、図2で説明されたポリシリコンの沈着と同様の方式で、トレンチが酸化物で満たされる。ウエハの上にパターンに作成されたレジストが、トレンチの半分がエッチングにより露出されるように、沈着される。エッチングにより、酸化物の厚さの一部分が除去され、それにより、トレンチの中に不均一な厚さの酸化物が作成される。これ以外の製造工程は、図2に示された製造工程と同じである。

【0017】本発明が好ましい実施例について説明されたけれども、前記説明は本発明がこれらの実施例に限定されることを意味するものではない。本発明の前記説明に基づき、開示された前記実施例を種々に変更することは、当業者にはすぐにできることは明らかであろう。したがって、請求項は、本発明の範囲内に入るこのような変更された実施例をすべて包含するものと理解すべきで

ある。

【0018】以上の説明に関して更に以下の項を開示する。

(1) ソースと、ドレインと、前記ソースと前記ドレインとの間のトレンチの中に作成されたゲートと、を有する、高電圧電力用トランジスタ。

【0019】(2) 第1項記載の高電圧電力用トランジスタにおいて、ソース電極が前記ソースに接続され、かつ、ドレイン電極が前記ドレインに接続され、かつ、ゲート電極が前記ゲートに接続され、かつ、前記トランジスタのトップ表面からアクセス可能である、前記高電圧電力用トランジスタ。

【0020】(3) 第1項記載の高電圧電力用トランジスタにおいて、前記トレンチの中に厚さが不均一な誘電体裏打ち剤をさらに有する、前記高電圧電力用トランジスタ。

【0021】(4) 第3項記載の高電圧電力用トランジスタにおいて、前記不均一誘電体裏打ち剤が前記トレンチの中の前記ソースの近傍に薄い部分と前記トレンチの中の前記ドレイン近傍に厚い部分とを有する、前記高電圧電力用トランジスタ。

【0022】(5) 第4項記載の高電圧電力用トランジスタにおいて、前記不均一誘電体裏打ち剤が酸化物である、前記高電圧電力用トランジスタ。

【0023】(6) 基板と、前記基板の面内に作成されたドリフト領域と、前記ドリフト領域の中に作成されたドレイン領域と、前記基板の面内に作成され、かつ、前記ドリフト領域と1つの界面で隣接する、P形ウエル領域と、前記P形ウエル領域の中に作成されたソース領域と、前記界面において前記基板の面内に作成されたトレンチと、前記トレンチの中に作成されたゲートと、を有する、高電圧電力用MOSトランジスタ。

【0024】(7) 第6項記載の高電圧電力用トランジスタにおいて、前記ソース領域を前記基板から電気的に分離するために、前記P形ウエル領域の下の前記基板の面内に作成された分離領域をさらに有する、前記高電圧電力用MOSトランジスタ。

【0025】(8) 第7項記載の高電圧電力用トランジスタにおいて、前記基板および前記P形ウエル領域がP形半導体材料であり、かつ、前記ソース領域と前記ドレイン領域と前記ドリフト領域と前記分離領域とがN形半導体材料である、前記高電圧電力用MOSトランジスタ。

【0026】(9) 第6項記載の高電圧電力用トランジスタにおいて、前記ゲートが前記トレンチの中に厚さが不均一な誘電体と、前記不均一誘電体の上にあり、かつ、前記トレンチを事実上満たしている、導電体材料と、を有する、前記高電圧電力用MOSトランジスタ。

【0027】(10) 第9項記載の高電圧電力用トランジスタにおいて、前記不均一誘電体が前記ソースに隣

接する前記トレンチの壁面の上に薄い酸化物裏打ち剤と、前記ドリフト領域に隣接する前記トレンチの壁面の上に厚い酸化物裏打ち剤と、を有する、前記高電圧電力用MOSトランジスタ。

【0028】(11) 基板を作成する段階と、前記基板の中にドリフト領域を作成する段階と、前記ドリフト領域の中にドレイン領域を作成する段階と、前記基板の中に、かつ、1つの界面で前記ドリフト領域に隣接して、P形ウエル領域を作成する段階と、前記P形ウエル領域の中にソース領域を作成する段階と、前記界面にトレンチ形ゲートを作成する段階と、を有する、セル・ピッチを小さくすることにより高電圧電力用MOSトランジスタのRDSオン特性を小さくする方法、および1個の半導体チップの上に多数個の高電圧電力用MOSトランジスタを作成する方法。

【0029】(12) 第11項記載の方法において、前記トレンチの中に不均一誘電体裏打ち体を作成する段階と、前記ゲートが作成されるように前記トレンチを導電体材料で満たす段階と、をさらに有する、前記方法。

【0030】(13) 第11項記載の方法において、前記P形ウエル領域と前記ドリフト領域との両方の下に分離領域を作成する段階をさらに有する、前記高電圧電力用MOSトランジスタの前記ソースが前記基板から電気的に分離された、前記方法。

【0031】(14) トップ・ドレイン・トレンチ形RESURF DMOS (縮小された表面電界2重拡散形MOS) トランジスタ構造体により、トランジスタ・セル・ピッチをできるだけ小さくすることによって、優れたRDSオン特性が得られる。前記トランジスタは、ゲートと、ソースと、ドレインとを有する。トレンチは不均一な誘電体裏打ち体を有することができる。ドレイン・ドリフト領域が前記トレンチを部分的に取り囲む。多重トレンチ形RESURF DMOSトランジスタを1個の半導体ダイの上に作成することを可能にし、電流は横方向に流れる。ソースを基板から電気的に分離するための分離領域を付加することにより、高レベル側駆動器への応用に、およびソースとアースとの間に電気的な分離を必要とする他の応用に、この電力用トランジスタを組み込むことができる。

【図面の簡単な説明】

【図1】先行技術による垂直トレンチ形DMOSトランジスタの横断面図。

【図2】本発明の好ましい実施例の横断面図。

【図3】低レベル駆動器構成体の回路図。

【図4】本発明のまた別の実施例の横断面図。

【図5】高レベル駆動器構成体の回路図。

【符号の説明】

16 ドレイン

20 ソース

50 26 ゲート



【図5】

